

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09205434 A**(43) Date of publication of application: **05 . 08 . 97**

(51) Int. Cl.

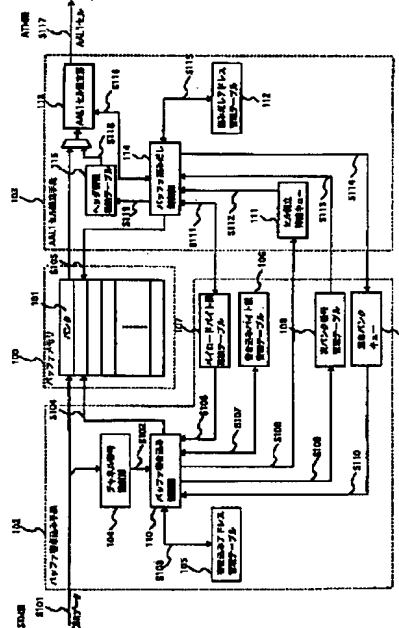
H04L 12/28
H04Q 3/00
(21) Application number: **08010650**(22) Date of filing: **25 . 01 . 96**(71) Applicant: **HITACHI LTD HITACHI COMMUN
SYST INC**(72) Inventor: **YAMAMOTO NOBUYUKI
TAKATORI MASAHIRO
OKA KENICHI**(54) **ATM CELL ASSEMBLING/DISASSEMBLING
METHOD AND DEVICE THEREFOR**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a cell assembler where data even in one byte are not aborted in the case of transfer of structural data by providing a means assembling AAL1 cells in the received order and varying the length of a payload of the AAL1 cell for each channel number.

SOLUTION: A buffer memory 100 storing CBR data S101 at a multi-speed subject to time division multiplex received from an STM network has plural banks 101 divided into an optional size. A buffer write means 102 writes the CBR data 101 at a multi-speed subject to time division multiplex to the banks 101 for each channel. The means 102 has a function of outputting a channel number 108 when cells are stored up to a buffer storage amount at which assembling of the AAL1 cells is attained. An AAL1 cell assembling means 103 assembles the AAL1 cells for each channel in the received order based on the channel number 108 received from the buffer write means 102 and sends the assembled cell S117 to an ATM network.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205434

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl.⁶

H 0 4 L 12/28

H 0 4 Q 3/00

識別記号

庁内整理番号

9466-5K

F I

H 0 4 L 11/20

H 0 4 Q 3/00

技術表示箇所

E

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21) 出願番号 特願平8-10650

(22) 出願日 平成8年(1996)1月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233479

日立通信システム株式会社

神奈川県横浜市戸塚区戸塚町180番地

(72) 発明者 山本 信行

神奈川県横浜市戸塚区戸塚町216番地株式

会社日立製作所情報通信事業部内

(72) 発明者 ▲高▼取 正浩

神奈川県横浜市戸塚区戸塚町216番地株式

会社日立製作所情報通信事業部内

(74) 代理人 弁理士 小川 勝男

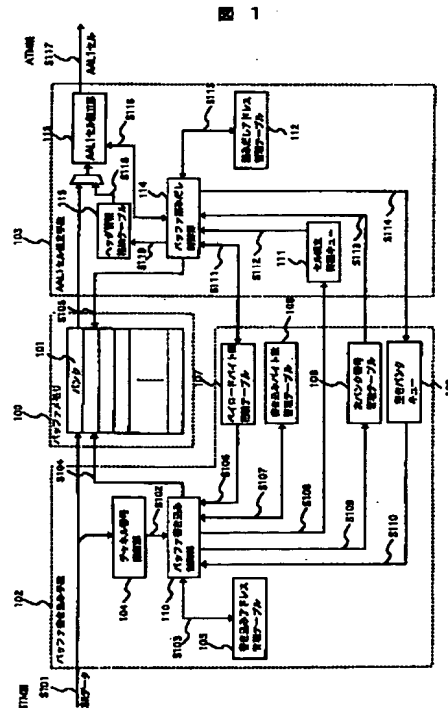
最終頁に続く

(54) 【発明の名称】 ATMセル組立分解方法及び装置

(57) 【要約】 (修正有)

【課題】 ATMセルのペイロード中の有効データ長を各チャネル番号毎に可変とするATMセルのセル組立装置を提供する。

【解決手段】 固定ビットレートデータをチャネル番号毎に格納する論理的に任意のサイズに分割されたバンク101と、チャネル番号毎にバンクに書き込みをおこないATMセルの組立てが可能となる格納量まで固定ビットレートデータが蓄積された場合、当該チャネル番号を出力するバッファ書き込み手段102と、バッファ書き込み手段から入力されたチャネル番号より、入力された順番にATMセルの組立てをおこなうAAL1セル組立手段103を備え、各チャネル番号毎のバンクに格納されている固定ビットレートデータの蓄積量と、ATMセルのペイロード中に格納する有効データ長を管理するテーブル106、107を備え、各テーブルのデータを比較し、ATMセルの組立てが可能かどうかを判定することによって、ATMセルのペイロード中の有効データ長を各チャネル番号毎に可変とするATMセルを組み立てる。



1

【特許請求の範囲】

【請求項1】時分割多重された複数種類の任意速度（以下、多元速度と称する）の固定ビットレートデータの各々を、ATMセル(Asynchronous Transfer Mode Cell)に変換するATMセル組立分解装置において、内部が任意のサイズに分割されたバンクに各チャンネル番号毎の前記固定ビットレートデータを格納するバッファメモリと、前記チャンネル番号毎に前記バンクに書き込みを行い、ATMセルの組立てが可能となる格納量の前記固定ビットレートデータが前記バッファメモリ内に蓄積された場合に、当該チャンネル番号を出力する書き込み手段と、前記書き込み手段より入力された前記チャンネル番号より、入力された順番に各チャンネル番号毎のATMセルの組立てを行うAAL1セル組立手段を有することを特徴とするATMセル組立分解装置。

【請求項2】請求項1のATMセル組立分解装置において、前記バッファメモリは2ポートランダムアクセスメモリで構成され、該バッファメモリのバンクサイズは2のべき条としたことを特徴とするATMセル組立分解装置。

【請求項3】請求項1のATMセル組立分解装置において、前記書き込み制御部は、前記バッファメモリのバンクへの書き込み及び読み出しをアドレスの小さい順に行うことを特徴とするATMセル組立分解装置。

【請求項4】請求項1のATMセル組立分解装置において、前記チャンネル番号は、前記固定ビットレートデータに対して定めたタイムスロット番号に対して呼設定毎に固定的にさめ目留ことを特徴とするATMセル組立分解装置。

【請求項5】請求項1のATMセル組立分解装置において、前記各チャンネル番号毎の前記固定ビットレートデータを格納する前記バンクを論理的に接続したチェイン情報を管理する次バンク番号管理テーブルと、前記複数のバンクの未使用のバンク番号を管理する空きバンクキューとを備え、前記次バンク管理テーブルのデータに基づいて前記バンクからデータを読み出し、該読み出しが前記バンクの最終アドレスとなった場合に該バンク番号を未使用バンクとして前記空きバンクキューに出力する読み出し制御部とを有することを特徴とするATMセル組立分解装置。

【請求項6】請求項1のATMセル組立分解装置において、前記バンクに前記固定ビットレートデータが格納されている蓄積量を各チャンネル番号毎に管理する書き込みバイト数管理テーブルと、ATMセルのペイロード中に格納する前記固定ビットレ

2

ートデータのバイト数を各チャンネル番号毎に格納するペイロードバイト数格納テーブルとを備え、

前記書き込み制御部は、前記書き込み手段が前記書き込みバイト数管理テーブルと、前記ペイロードバイト数格納テーブルのデータを比較して、前記書き込みバイト数管理テーブルのデータが前記ペイロードバイト数格納テーブルのデータに比べて多ければセル組立てが可能と判定し、当該チャンネル番号を前記AAL1セル組立手段に出力することを特徴とするATMセル組立分解装置。

10 【請求項7】請求項6のセル化装置において、前記AAL1セル組立手段は、各チャンネル番号毎のATMセルの1セルのペイロード中に前記多元速度の固定ビットレートデータを可変のバイト数として収容したATMセルを組立てることを特徴とするATMセル組立分解装置。

【請求項8】請求項6のATMセル組立分解装置において、前記AAL1セル組立手段は、前記書き込み手段より入力されたチャンネル番号より前記ペイロードバイト数格納テーブルよりペイロードに格納する前記固定ビットレートデータのペイロードバイト数を読み出し、該読み出したペイロードバイト数分の前記固定ビットレートデータを前記バンクより読みだす読み出し制御部と、前記ペイロードのデータと前記バンクより読み出したデータとの差分に対応するだけダミーデータ生成し出力するダミーデータ生成部とを備えていることを特徴とするATMセル組立分解装置。

【請求項9】請求項1から請求項8の何れか記載のATMセル組立分解装置において、前記書き込み手段は、行き先が同じである異なるチャンネル番号の前記固定ビットレートデータを同一のバンクに書き込み、ATMセルの組立てが可能となる格納量の前記固定ビットレートデータが蓄積された場合に、当該チャンネル番号を前記AAL1セル組立手段に出力し、前記AAL1セル組立手段は、前記書き込み手段より入力された前記チャンネル番号より、入力された順番にATMセルの組立てを行うことを特徴とするATMセル組立分解装置。

【請求項10】請求項9のATMセル組立分解装置において、

40 前記AAL1セル組立手段においては、前記書き込み手段より入力された前記チャンネル番号より、ATMセルの1セルのペイロード中に行き先が同じである異なるチャンネル番号の前記固定ビットレートデータを収容したATMセルを組立てることを特徴とするATMセル組立分解装置。

【請求項11】時分割多重された複数種類の任意速度（以下、多元速度と称する）の固定ビットレートデータの各々を、ATMセル(Asynchronous Transfer Mode Cell)に変換するATMセル組立分解方法において、前記固定ビットレートデータを任意のサイズに分割されたバンクに各チャンネル番号毎に格納し、

50

ATMセルの組立てが可能となる格納量の前記固定ビットレートデータが前記バンク内に蓄積された場合に、当該チャンネル番号を出力し、前記チャンネル番号より、入力された順番に各チャンネル番号毎のATMセルの組立てを行うことを特徴とするATMセル組立分解方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、非同期転送モード(Asynchronous Transfer Mode:以下、ATMと称する)のネットワークと、同期転送モード(Synchronous Transfer Mode:以下、STMと称する)のネットワークを相互接続するATMセル組立分解方法・装置(Cell Assembly/Disassembly:以下CLADと称する)に係り、特に、多元速度の固定ビットレート(Constant Bit Rate:以下、CBRと称する)データが時分割多重されたSTM信号をATMセルに変換するCLADの構成と、音声信号等のような、品質が転送遅延時間に影響する信号をATMセルに変換するATMセル組立分解方法・装置に関する。

【0002】

【従来の技術】音声信号等の低速信号から、画像信号等の高速信号まで統一的に送受信するネットワークとして、広帯域サービス総合ディジタル網(Broadband Integrated Services Digital Network:以下、B-ISDNと称する)がある。このB-ISDNを実現する技術としてATMが世界各国で研究され、国際電気通信連合の電気通信標準化部門(International Telecommunication Union-Telecommunication Standardization Sector:以下、ITU-Tと称する)においては、B-ISDNを実現するための様々な国際標準の勧告が定められている。

【0003】現在の通信ネットワークは、このATM網と既存のSTM網が混在した構成となっており、前記ATM網と前記STM網を相互に接続するためには、CLAD(Cell Assembly/Disassembly:セル組立/分解処理)が必要不可欠となる。

【0004】前記ITU-Tにおいては、様々な信号をATMセルに変換するプロトコルであるATMアダプテーションレイヤ(ATM Adaptation Layer:以下、AALと称する)の機能および仕様が規定されており、特に、音声信号等のCBRデータをATMセルに変換する場合には、前記ITU-TのI.363で規定されているAALのタイプ1(以下、AAL1と称する)を用いることが規定されている。すなわち、CBRデータであるSTM回線信号は、ATM網を介して通信される場合、前記AAL1を用いて通信することが国際標準で規定されている。

【0005】図21は、AAL1を用いたCBRデータとATMセルとの変換の様子を示すもので、CBRデータとATMセル(以下、AAL1を用いたATMセルをAAL1セルと称する)の変換を説明する図である。同図で示す様に、CBRデータ2101は連続的に固定なビットレートで到着し、ATMセ

ルの組立てが可能となるCBRデータを蓄積し、53バイトのAAL1セル2102に変換される。

【0006】このAAL1セルのフォーマットを図22に示す。

【0007】AAL1セルは、5バイトのATMヘッダ2201と、前記ITU-T I.363で規定される1バイトのAAL1ヘッダ2202と、CBRデータが1フレーム内の構造を保存する構造化データの場合、先頭位置を示す1バイトのポインタ2204と、47または46バイトのCBRデータを格納するペイロード2203より構成される。さらに詳しく説明すると、AAL1ヘッダは、AAL1セルの組立てられた順番を示すシーケンス番号フィールド(SNF)2209と、SNF2209を保護するシーケンス番号保護フィールド(SNPF)2210より構成され、前記SNF2209は、1ビットのコンバージョンサブレイヤ表示(CSI)2205と、セル組立ての順番を0~7の繰返し番号で示す3ビットのシーケンス番号(SN)2206より構成され、また、前記SNPF2210は、前記SNF2209を保護する3ビットの誤り訂正符号(CRC)2207と、前記SNF2209とCRC2207を保護する1ビットの偶数パリティ(P)2208より構成される。

【0008】また、ポインタ2204は、送信側と受信側間で構造を持つデータ、例えば、384kb/sや1536kb/sチャンネルといった1フレーム(125マイクロ秒)にそれぞれ6、24バイトのデータが格納される構造化データを転送する場合に、構造化データの先頭位置をオフセット値2211として示すものであり、SN2206が0~7の間に1度だけ、かつSN2206が偶数の場合にのみ挿入される。

【0009】また、例えばSN2206が0~7の間に構造化データの先頭が現われない場合は、ポインタにはダミーポインタを挿入する。すなわち、構造化データの場合、1セル中のCBRデータ(ペイロード)長はポインタが挿入されないノンポインタフォーマット(以下、non-Pフォーマットと称する)の場合の47バイトと、ポインタが挿入されたポインタフォーマット(以下、Pフォーマットと称する)の場合の46バイトのどちらかになる。また、構造化データでない場合(以下、非構造化データと称する)は、ポインタの挿入がおこなわれないため、1セル中のCBRデータ(ペイロード)長は47バイトで固定となる。

【0010】「電子情報通信学会信学技法SSE94-188」によると、前記AAL1の機能は、各チャンネル毎に処理を行う必要があり、前記AAL1の処理機能を各チャンネル毎に配備する必要がある。

【0011】しかし、前記AAL1の処理機能を各チャンネル毎に配備することは、ハードウェアが膨大となり、かつ不経済である。CLADの適用位置として考えられる中継多重回線でSTM網とATM網を相互接続する場合は、チャンネル毎のAAL1の処理を多重処理することにより、装置の小型化、経済化をおこなうことができる。このAAL1の多重処理を実現する公知例としては、特開平6-232893号

公報に示された「セル分解多重処理装置」および、特開平6-232894号公報に示された「セル組立多重処理装置」がある。

【0012】これは、それぞれAAL1セルの組立、分解装置に係り、時分割多重された多元速度のCBRデータを、AAL1セルに多重処理変換し、逆にAAL1セルを時分割多重されたCBRデータに変換する構成に関する。

【0013】この構成は、バッファメモリをAAL1セルのペイロード長に分割（以下、分割したバッファメモリの1単位をバンクと称する）し、時分割多重されたCBRデータを格納する前記バンクを複数備え、到着するCBRデータを指定されたバーチャルチャネル毎に前記バンクに格納し、前記バンクにAAL1セルのペイロード長分の前記CBRデータが格納されると、当該バンクのアドレスを出力し、新たに未使用のバンクに前記CBRデータを格納するセル組立制御部と、このセル組立制御部の出力するアドレスを入力として、このアドレスの示すバンクから前記CBRデータを読み出してセルを構成して出力するとともに、当該バンクを未使用バンクとするセル送信制御部を備える。

【0014】これにより、使用されているバンクと未使用のバンクを管理して、前記バンクを全てのチャネルで共有することが可能となり、各チャネル毎のバッファメモリを用意する必要がなくなる。

【0015】また、チャネル毎にバッファメモリを固定的にせず、前記バッファメモリを固定長の前記バンクに分割し前記バンクを各チャネル毎に共有することにより、時分割多重された複数種類の速度の異なる任意速度のCBRデータをAAL1セルに変換する場合でも、チャネル毎に最大の速度のCBRデータを格納する容量のバッファメモリを持つ必要がなくなる。すなわち、この構成では、バッファメモリの使用量を最小にしながら、時分割多重された多元速度のCBRデータを、AAL1セルに多重処理変換することが可能となり、GLADにおいては、装置の小型化、経済化を実現することが可能となる。

【0016】一方、前記CBRデータは、電話サービスによる音声信号が主流であり、この音声信号の品質は、伝搬遅延時間に大きく影響される。すなわち、例えば64kb/sの電話サービスによる音声信号をAAL1セルに変換して通信する場合、AAL1セルを組立てる遅延時間は、AAL1セルのペイロード長分のCBRデータを蓄積する必要があるため、 $125(\text{マイクロ秒}) \times 47(\text{バイト}) = 5.875(\text{ミリ秒})$ となる。

【0017】このセル組立て遅延時間を短縮する方法として、パーシャルフィルという方法がある（「ATM Forum ATF94-0033R8, Cell Utilization. 2. 2. 2, May 1995」）。このパーシャルフィルは、図23に示す様に、1セル中のペイロードに格納するCBRデータ長（以下、有効データ長と称する）を任意のバイト数にすることによって、セルの組立て遅延時間を短縮する方法である。す

なわち、有効データ長を短くし、上述したCBRデータを蓄積する時間を短縮する。

【0018】また、別のセル組立て遅延時間を短縮する方法として、コンポジットセルという方法がある（United States Patent Patent Number 5390,175「INTER-CELL SWITCHING UNIT FOR NARROW BAND ATM NETWORKS」）。このコンポジットセルは、図24に示す様に、送信先が同じチャネル信号を同一のセルのペイロードに格納して、各チャネル毎の有効データ長を短くし、セルの組立て遅延時間を短縮する方法である。

【0019】つまり、両方式ともに、AAL1セルのペイロードに格納するCBRデータの量を少なくすることによって前記CBRデータの蓄積時間を短縮する方法である。

【0020】

【発明が解決しようとする課題】まず第1の課題について説明する。

【0021】上述した従来のセル組立多重処理装置では、バッファメモリをAAL1セルのペイロード長を1単位としたバンクに分割し、前記バンクを複数備えて時分割多重された多元速度のCBRデータのバッファリングをおこなっていた。しかし、前記バンクは固定長のバンク構成となっており、上述した構造化データの転送の場合、ポインタの挿入の有無によりペイロード長は46バイトあるいは47バイトと2通り存在するため、AAL1セルの組立がおこなえない。

【0022】例えば、前記バンクのサイズを47バイトとした場合、前記セル組立制御部は同一のチャネルのデータを47バイト分バンクに格納して、当該バンクのアドレスをセル送信制御部に出力する。セル送信制御部は、この入力されたバンクのアドレスよりセル組立を開始し、そのセルが構造化データのPフォーマットのAAL1セルに変換された場合、ペイロード長は46バイトであるため、1バイトのデータがバンクに残った状態となる。さらに、セル送信制御部は、1バイトのデータがバンクに残った状態にもかかわらず、当該バンクを未使用のバンクにしてしまう。つまり、構造化データのPフォーマットのAAL1セルに変換する場合、必ず1バイトのデータが廃棄されてしまうという問題が発生する。

【0023】次に第2の課題について説明する。

【0024】上述したように、CBRデータは、電話サービスによる音声信号が主流であり、この音声信号の品質は伝搬遅延時間に大きく影響される。より具体的には、既存アナログ加入者線を収容し、2線4線変換をおこなう箇所では、音声の反響が生じ、端末間の遅延時間が大きいと、その反響がエコーとして知覚される。また、電話等の音声信号はリアルタイムに通信することが前提であり、伝搬遅延時間のゆらぎに対しては条件が厳しくなる。

【0025】したがって、上述したように、64kb/sの電話サービスの場合、セルの組立て遅延時間が5.875(ミリ

秒)も要することは問題であり、上述したセルの組立て遅延時間を短縮する方法が検討されている。

【0026】上述した従来のセル組立多重処理装置では、前記パーシャルフィルを実現する場合、バンクのサイズを任意のバイト数にすることで実現可能となる。しかし、このバンクは、全てのチャンネルで共有するため、特定のチャンネルのみにパーシャルフィルを適用することができない。また、上述したように、パーシャルフィルは、セルの組立て遅延時間を短縮することは有効であるが、AAL1セルの有効データ長を短くすることによつて、残りはダミーデータ(無効データ)を挿入するため、伝送路を有効に活用することができない。

【0027】つまり、パーシャルフィルはセルの組立て遅延時間を短縮するかわりに、伝送路を有効に使用できないということである。「伝送路を有効に使用できなくても遅延時間は少なく」というチャンネルと、「遅延時間は多くても伝送路は有効に使用したい」といったチャンネルが多重されてセル組立多重処理装置に到着した場合、チャンネル毎に対応ができないという問題が発生する。

【0028】さらに、前記パーシャルフィルを時分割多重された全チャンネルに適用することにより、伝送路に流入するセル量は増大し、輻輳をおこす原因となる可能性も考えられ問題である。

【0029】本発明の目的は、構造化データの転送の場合の、2通りのペイロード長(47/46バイト)でも、1バイトのデータ廃棄もおこなわれずに、AAL1セルの組立てが可能とするATMセル組立分解方法及び装置を提供することにある。

【0030】本発明の他の目的は、各チャンネル毎のATMセルの1セル中のペイロード中の有効データ長を任意のバイト数とすることが可能となり、セル組立ての遅延時間を短縮するさせるATMセル組立分解方法及び装置を提供することにある。

【0031】更に本発明の他の目的は、チャンネル番号毎に有効データ長を任意のバイト数とすることにより、各チャンネル番号毎に柔軟にセルの組立て遅延時間を短縮することができるATMセル組立分解方法及び装置を提供することにある。

【0032】

【課題を解決するための手段】第1の課題を解決するため本発明は以下に説明する構成とした。

【0033】1セルのペイロード長以上のサイズを持った複数のバッファメモリ(以下、バンクと称する)と、時分割多重された多元速度のCBRデータを、チャンネル番号毎に前記バンクへの書き込みをおこない、AAL1セルの組立が可能となるバッファ蓄積量まで蓄積した場合、当該チャンネル番号を出力するバッファ書き込み手段と、前記バッファ書き込み手段から入力されたチャンネル番号を、入力された順番にAAL1セルの組立をおこなうAAL1セル組立手段を備え、各チャンネル番号毎にAAL1セル

のペイロード長を可変とすることができるようにした。

【0034】より具体的には、時分割多重された多元速度のCBRデータのタイムスロット番号よりチャンネル番号を識別するチャンネル番号識別部と、チャンネル番号毎の書き込みバンク番号とバンク内のアドレスを管理する書き込みアドレス管理テーブルと、チャンネル番号毎のデータがバンクに何バイト蓄積しているかを管理する書き込みバイト数管理テーブルと、チャンネル番号毎のAAL1セルの有効データ長を格納するペイロードバイト数格納テーブルと、あるバンクと次に続くバンクの番号を論理的なチェイン情報として管理する次バンク管理テーブルと、未使用のバンクの番号を格納する空きバンクキューと、前記各種テーブルおよび機能ブロックを制御、またはデータの更新をするバッファ書き込み制御部と、AAL1セルの組立が可能となるバッファ蓄積量まで蓄積したチャンネル番号をキュー形式に格納するセル組立待機キューと、チャンネル番号毎の読みだしバンク番号とバンク内のアドレスを管理する読みだしアドレス管理テーブルと、AAL1セル組立をおこなうAAL1セル組立部と、前記各種テーブルおよび機能ブロックを制御、またはデータの更新をするバッファ読みだし制御部を備えた。

【0035】この構成により、前記バッファ書き込み制御部において、書き込みバイト数管理テーブルと、ペイロードバイト数格納テーブルを参照し、書き込みバイト数がAAL1セルの組立可能なペイロードバイト数以上となったかどうかを比較して、組立可能なペイロードバイト数以上であった場合に、AAL1セルの組立てをおこなうことにより、チャンネル番号毎にペイロード長を可変とすることができるようにした。

【0036】また、前記CBRデータの前記バンクへの格納は、書き込みアドレスと読みだしアドレスを管理することによって各バンクを一杯に使用し、あるバンクと次に続くバンクの番号を論理的に接続したチェイン情報として次バンク管理テーブルが管理し、かつ未使用のバンクの番号を空きバンクキューが管理することによって、最小限のバッファ量でかつ有効に使用することを可能とした。

【0037】また、第2の課題を解決するため本発明は以下のように構成した。

【0038】上述した構成で、前記AAL1セル組立手段のAAL1セル組立部にダミーデータを生成するダミーデータ生成部を備え、前記バッファ書き込み手段より入力されたチャンネル番号より前記ペイロードバイト数格納テーブルよりペイロードに格納する前記固定ビットレートデータのペイロードバイト数を読みだし、また、ペイロードバイト数分の前記固定ビットレートデータを前記バンクより読みだし、続けて残りのペイロードには前記ダミーデータ生成部よりダミーデータを生成し出力する手段を備えることにより、各チャンネル番号毎のATMセルの1セルのペイロード中に前記任意速度の固定ビットレ

トデータを任意のバイト数分収容し、残りのペイロードにはダミーデータを収容したATMセルの組立てが可能とした。

【0039】さらに別の解決する手段として、上述した構成で、前記チャンネル番号識別部において、行き先が同じである異なるチャンネル番号の前記固定ビットレートデータを、同一のチャンネル番号に仮定し、同一の前記バンクに書き込みをおこなうことにより、ATMセルの1セルのペイロード中に行き先の同じである異なるチャンネル番号の固定ビットレートデータを収容したATMセルの組立てを可能とした。

【0040】

【発明の実施の形態】以下、本発明によるセル化装置の実施形態と、それを用いたセル組立て遅延時間の短縮をおこなう実施形態を、図面を参照しながら詳細に説明する。

【0041】図1は、本発明を実現するセル化装置の構成図である。同図において、STM網から入力される時分割多重された多元速度のCBRデータS101を格納するバッファメモリ100は、任意のサイズに分割されている複数のバンク101より構成されている。バッファ書き込み手段102は、時分割多重された多元速度のCBRデータS101を、チャンネル番号毎に前記バンク101に書き込みをおこない、AAL1セルの組立てが可能となるバッファ蓄積量まで蓄積した場合、当該チャンネル番号S108を出力する機能を有する。また、AAL1セル組立手段103は、前記バッファ書き込み手段102から入力されたチャンネル番号S108より、入力された順番に各チャンネル毎のAAL1セルを組立てて、AAL1セルS117をATM網へ送出する。

【0042】さらに、前記各ブロックの詳細を説明をする。

【0043】バンク101は、書き込み動作と読みだし動作を非同期におこなうことができるように、2ポートのランダムアクセスメモリを使用し、アドレス管理が容易となるように、バンクのサイズを2のべき乗とした。例えば、図2にバンクの構成を示す。バンクのサイズを64バイト(26)とし、メモリアドレスの下位6ビットをバンク内アドレス201とする。上位ビットはバンク番号202とし、バンクへの書き込みはバンク内アドレス201の小さいアドレスから順に書き込みをおこない、読みだしも小さいアドレスから順に読みだす。

【0044】また、書き込み側でバンクの最終アドレス(すなわち、下位6ビットが"111111")まで書き込まれたら、後述する空きバンクキュー109より未使用である空きバンクのバンク番号S110を読みだし、同様に書き込み動作をおこなう。読みだし側では、最終アドレスまで読みだしたら、後述する次バンク番号管理テーブル108より次のバンク番号S113を読みだし、同様に読みだし動作をおこなう。

【0045】次に、バッファ書き込み手段102の詳細を

説明する。

【0046】まず、バッファ書き込み手段102は、STM網から入力される時分割多重された多元速度のCBRデータS101より、チャンネル番号識別部104により、チャンネル番号を判別する。

【0047】このチャンネル番号の判別方法を、図3、4を参照して説明する。

【0048】図3に示すように、時分割多重された多元速度のCBRデータS101は、クロック301とフレームパルス302に対してタイムスロット番号304が決められており、チャンネル番号305は前記タイムスロット番号304に対して、呼設定毎に固定的に決められている。つまり、チャンネル番号識別部104は、前記時分割多重された多元速度のCBRデータ303のタイムスロット番号304と、チャンネル番号305の対応づけをおこなう。

【0049】チャンネル番号識別部104は、図4に示すような構成とし、クロックS401とフレームパルスS402より、タイムスロット番号をカウントするタイムスロット番号カウンタ401と、前記タイムスロット番号S404と、チャンネル番号を対応づけて出力S405するタイムスロット番号/チャンネル番号変換テーブル402を備える。

【0050】タイムスロット番号/チャンネル番号変換テーブル402は、図5のようなテーブル構成となっており、発呼毎に呼接続制御をおこなう上位装置より設定され、タイムスロット番号カウンタ401より入力されたタイムスロット番号501をアドレスとして、チャンネル番号502を出力する。

【0051】次に、チャンネル番号識別部104より出力されたチャンネル番号S102は、バッファ書き込み制御部110に入力され、バッファ書き込み制御部110は、書き込みアドレス管理テーブル105より、当該チャンネル番号の前記バンク101の書き込みアドレスS103を読みだす。

【0052】図6に、書き込みアドレス管理テーブル105のテーブル構成を示す。書き込みアドレス管理テーブル105はチャンネル番号601をアドレスとし、データに前記バンク101の書き込みアドレス602を格納する。

【0053】すなわち、バッファ書き込み制御部110は、チャンネル番号識別部104より出力されたチャンネル番号S102をアドレスとして、前記バンク101の書き込みアドレスS103を読みだし、そのアドレスにCBRデータを書き込む。また、バッファ書き込み制御部110において、バンク101への書き込むバンク内アドレスが最終アドレスであった場合、空きバンクキュー109より空きバンク番号S110を読みだし、当該バンク番号の先頭アドレスを、書き込みアドレス管理テーブル105に書き込み更新する。さらに、次バンク番号管理テーブル108に、前のバンク番号をアドレスとして、更新したバンク番号S109を書き込む。

【0054】図7に、空きバンクキュー109の構成を示す。空きバンクキュー109は、ファーストイン・ファーストアウト方式で構成されている。

ストアウト (FIFO) 形式のメモリより構成され、データには空きバンクのバンク番号701を格納する。

【0055】また、図8に、次バンク番号管理テーブル108の構成を示す。次バンク番号管理テーブル108は、前のバンク番号801をアドレスとし、データには、次に続くバンクの番号802を格納する。

【0056】また、バッファ書き込み制御部110は、前記バンク101への書き込み動作と同時に、前記チャンネル番号\$102を書き込みバイト数管理テーブル106とペイロードバイト数格納テーブル107に入力し、それぞれから当該チャンネルに対応したデータ\$107, \$106を読みだす。

【0057】図9に、書き込みバイト数管理テーブル106の構成を示す。書き込みバイト数管理テーブル106は、チャンネル番号901をアドレスとし、データに当該チャンネル番号のバンクに書き込まれたCBRデータのバイト数902を格納する。

【0058】また、図10に、ペイロードバイト数格納テーブル107の構成を示す。ペイロードバイト数格納テーブル107は、チャンネル番号1001をアドレスとし、データに当該チャンネル番号の1セル中のペイロードに格納されるCBRデータ長 (有効データ長) 1002を格納する。バッファ書き込み制御部110は、書き込みアドレス管理テーブル105より読みだした書き込みアドレス\$103をもとに前記バンクにCBRデータを書き込みをおこない、同時に、書き込みバイト数管理テーブル106より読みだした書き込みバイト数902を、1バイト分プラスする。さらに、ペイロードバイト数格納テーブル107より読みだしたペイロードバイト数1002と、1バイト分プラスした書き込みバイト数902を比較して、1バイト分プラスした書き込みバイト数がペイロードバイト数以上であった場合、当該チャンネル番号\$108を出力するとともに、書き込みバイト数をペイロードバイト数分マイナスして、再度、書き込みバイト数管理テーブル106に書き込んで、書き込みバイト数902を更新する。また、書き込みバイト数がペイロードバイト数未満であった場合は、書き込みバイト数管理テーブル106には、1バイト分プラスした書き込みバイト数902を書き込んで更新する。以上がバッファ書き込み手段の動作例である。

【0059】以上に説明したバンク101への書き込み動作を、図11のタイムチャートを参照して説明する。バッファ書き込み手段102には、図11に示すようなタイミングで、クロック1107、フレームパルス1108、CBRデータ1109が入力され、バッファ書き込み手段102では、クロックの4倍の速度を持ったシステムクロック1106によって各部の動作をおこなう。

【0060】まず、タイミング1 1101で、タイムスロット番号カウンタ401は、クロック1107、フレームパルス1108より、カウントをおこない、タイムスロット番号1110を判定する。

【0061】タイミング2 1102で、タイミング番号/チ

ャネル番号変換テーブル402は、前記タイムスロット番号1110より、チャンネル番号1111を判定する。当該チャンネル番号1111は、バッファ書き込み制御部110に入力される。

【0062】タイミング3 1103で、バッファ書き込み制御部110は、書き込みアドレス管理テーブル105、書き込みバイト数管理テーブル106、およびペイロードバイト数管理テーブル107より、書き込みアドレス1112、書き込みバイト数1113、およびペイロードバイト数1114を読みだす。

【0063】次にタイミング4 1104で、バッファ書き込み制御部110は、CBRデータ1109のバンク101への書き込み1120をおこない、書き込みアドレス1112を1プラスして、次のタイミング1 1105で書き込みアドレス管理テーブル105に書き込み 1119、更新する。

【0064】また、タイミング3 1103で読みだした書き込みアドレス1112が、バンク内の最終アドレスであった場合は、タイミング4 1104で、空きバンクキュー109より空きバンク番号1117の読みだしをおこない、次のタイミング1 1105で、空きバンク1117の先頭アドレスを、書き込みアドレス管理テーブル105に書き込み1119、更新する。

【0065】さらに、次バンク番号管理テーブル108には、前記書き込みをおこなったバンク番号をアドレスとし、データに前記読みだした空きバンク番号1117として、書き込み1118をおこなう。また、バッファ書き込み制御部110は、タイミング3 1103で読みだした書き込みバイト数1113を1プラスして、ペイロードバイト数1114と比較をおこない、書き込みバイト数がペイロードバイト数以上であるかを判定する。

【0066】書き込みバイト数がペイロードバイト数以上である場合は、タイミング4 1104で、AAL 1セル組立手段103のセル組立待機キュー111にチャンネル番号1115を書き込み、書き込みバイト数管理テーブル106には、前記1プラスした書き込みバイト数からペイロードバイト数をマイナスした値を、書き込みバイト数として書き込み1116、更新する。

【0067】また、書き込みバイト数がペイロードバイト数未満である場合は、書き込みバイト数管理テーブル106には、書き込みバイト数に1プラスした値を書き込み1116、更新する。

【0068】次に、図1を参照して、AAL 1セル組立手段103の詳細を説明する。

【0069】まず、バッファ読みだし制御部114は、セル組立待機キュー111よりセル送出可能なチャンネル番号\$112を読みだし、AAL 1セル組立部113に当該チャンネル番号のセル組立て指示\$116を送出する。また、ヘッダ情報格納テーブル115より、当該チャンネル番号のAAL 1セルのヘッダを読みだしAAL 1セル組立部113に入力\$118する。

【0070】図12にヘッダ情報格納テーブル115の構成

を示す。

【0071】ヘッダ情報格納テーブル115は、チャンネル番号1201をアドレスとし、データには5バイト分のATMヘッダ1202を格納する。また、バッファ読みだし制御部114は、読みだしアドレス管理テーブル112より、当該チャンネル番号の読みだしアドレスを読みだし、同時に、ペイロードバイト数格納テーブル107より当該チャンネル番号のペイロードバイト数を読みだす。読みだしアドレス管理テーブル112は図13に示すように、チャンネル番号1301をアドレスとし、データはそのチャンネル番号のバンク101の読みだしアドレス1302を格納する。バッファ読みだし制御部114は、前記アドレスより、バンク101から当該チャンネルのデータを前記ペイロードバイト数分読みだす。また、この時、バンク内アドレスの最終アドレスとなった場合、次バンク番号管理テーブル108より、次のバンク番号S113を読みだし、前記読みだしが完了したバンク番号を空きバンクS114として、空きバンクキュー109に出力する。

【0072】また、AAL1セル組立部113は、バッファ読みだし制御部114によりバンク101より読みだされたAAL1セルにAAL1ヘッダと、必要であればポインタ、ダミーデータの挿入を行い、また、セル送出のタイミングにおいて、セル組立待機キューにデータが蓄積されていなければ、空セル生成および挿入をおこなう。

【0073】図14にAAL1セル組立部113の構成を示す。

【0074】AAL1セル組立部113は、AAL1ヘッダを生成するAAL1ヘッダ生成部1409と、ポインタを生成するポインタ生成部1402と、AAL1ヘッダに含まれるシーケンスナンバー(SN)を各チャンネル毎に管理するシーケンスナンバーテーブル1408と、ポインタを生成するためのオフセット値をカウントするダウンカウンタ部1401と、前記ダウンカウンタのカウント値を各チャンネル毎に管理するダウンカウンタテーブル1404と、構造化データのブロック長を各チャンネル毎に管理するブロック長管理テーブル1403と、ポインタの挿入がされたかどうかの履歴を各チャンネル毎に管理するポインタ履歴テーブル1407と、ポインタのかわりにダミーのポインタを生成するダミーポインタ生成部1405と、空セルを生成する空セル生成部1410と、前記各種ブロックを制御する出力制御部1406より構成される。

【0075】詳細の動作について説明する。

【0076】まず、入力されたチャンネル番号S1404が非構造化データの場合、ダウンカウンタ部1301、ダウンカウンタテーブル1404、ブロック長管理テーブル1403、ポインタ履歴テーブル1407、ダミーポインタ生成部1405、ポインタ生成部1402は動作しない。

【0077】バッファ読みだし制御部114より入力されたチャンネル番号S1404は出力制御部1406よりシーケンスナンバーテーブル1408に出力S1416され、シーケンスナンバーテーブル1408は該当チャンネル番号のSNを出力制御

部1406に出力S1416する。

【0078】その後、出力制御部1406はAAL1ヘッダ生成部1409に前記SNおよびCSIを出力S1419し、同時に、シーケンスナンバーテーブル1408に次のSNを書き込みS1416、更新する。

【0079】AAL1ヘッダ生成部1409は、出力制御部1406からの前記SNおよびCSIより、誤り検出符号(CRC)およびパリティ(P)を計算してAAL1ヘッダを生成し、AAL1ヘッダの挿入タイミングにあわせて送出をおこなう。

【0080】図15に、シーケンスナンバーテーブル1408の構成を示す。シーケンスナンバーテーブル1408は、チャンネル番号をアドレスとし、データには、各チャンネル番号毎の次のシーケンス番号を格納する。

【0081】また、当該チャンネル番号が構造化データの場合、入力されたチャンネル番号S1404は、ダウンカウンタテーブル1404と、ブロック長管理テーブル1403と、出力制御部1405に出力される。ダウンカウンタテーブル1405は、当該チャンネル番号のダウンカウンタ値を出力S1407し、ブロック長管理テーブル1403は、当該チャンネル番号のブロック長を出力S1406する。ダウンカウンタ部1404は、構造化データの先頭位置のオフセット値をカウントする機能を有し、構造化データの先頭を示すチャンネルトップ信号S1402を受信した時、ブロック長管理テーブル1403より、読みだした当該チャンネルのブロック長S1406をカウンタにロードし、AAL1セルの先頭を示すセルトップ信号S1403より、AAL1セルのペイロードの部分で前記ダウンカウンタを動作させる。つまり、ダウンカウンタ部1401は全チャンネル共通にカウント処理をおこない、ダウンカウンタテーブル1404とブロック長管理テーブル1403が各チャンネル毎にデータを格納して、チャンネル番号毎に各テーブルよりデータを読みだし、ロードまたはカウントをおこない、AAL1セルの1セル分のカウントが終了したら、再度各テーブルにデータを書き込みS1406、S1407更新する。

【0082】図16に、ダウンカウンタテーブル1404の構成を、図17に、ブロック長管理テーブル1403の構成1403を示す。

【0083】ダウンカウンタテーブル1404は、チャンネル番号1601をアドレスとし、データに各チャンネル毎のダウンカウンタ値1602を格納する。ブロック長管理テーブル1403は、チャンネル番号1701をアドレスとし、データに各チャンネル毎のブロック長1702を格納する。

【0084】また、図18に当該チャンネル番号が構造化データの場合のダウンカウンタ1401の動作をタイムチャートに示し説明する。

【0085】図18は、例として、チャンネル番号が"A" 1804で、ブロック長1808が24バイトの1.5Mb/sのチャンネルとし、このAAL1セルは、AAL1ヘッダのシーケンス番号が偶数であり、ポインタが挿入されるものとする。

【0086】セルの先頭を示すセルトップ信号1802をト

リガにして、チャンネル番号A 1804のダウンカウンタ値1807をダウンカウンタテーブル1404を読みだす。また、読みだしたダウンカウンタ値(4) 1804は、ダウンカウンタ1401にロード1806され、AAL 1セルのポインタ1801の位置では、このダウンカウンタ値(4) 1804がポインタとして挿入される。

【0087】また、ダウンカウンタ1401は、カウンタイネーブル1803がアサートされている間(すなわち、AAL 1セルのペイロード部分)、カウントをおこない、チャンネルトップ1805が入力されたら、ブロック長管理テーブル1403のブロック長(24) 1808を、ダウンカウンタ1401にロードする。

【0088】AAL 1セルの最終バイト1810(すなわち、53Byte)までカウントがおこなわれたら、ダウンカウンタテーブル1404にダウンカウンタの値(6) 1811を書き込む。以上の動作を、入力されるAAL 1セル毎(チャンネル毎)におこなう。

【0089】また、ポインタの挿入は、上述したようにシーケンス番号が0~7の間に1回挿入され、かつシーケンス番号が偶数の時に挿入される。出力制御部1406は、AAL 1セルの組立てをおこなうチャンネル番号のシーケンス番号を、シーケンスナンバーテーブル1408より読みだすと同時に、チャンネル毎にポインタの挿入がおこなわれたかどうかの履歴を格納するポインタ履歴テーブル1407より読みだすS1415。

【0090】ここで、当該チャンネル番号のポインタ挿入が未であり、かつシーケンス番号が偶数の場合、ダウンカウンタテーブル1404の値をダウンカウンタ1401にロードする際に、ダウンカウンタ値が94以下の場合にはポインタの挿入をおこなう。なお、ダウンカウンタ値が94以下の時にポインタの挿入をおこなうのは、AAL 1セルのペイロード長が47バイトとして考えた場合に、偶数のシーケンス番号が2セルおきになるため、このペイロード長の2倍以下のダウンカウンタ値であればポインタの挿入をおこなう必要があるためである。

【0091】また、ポインタの挿入がおこなわれたらポインタ履歴テーブル1407をポインタ挿入完了とし、シーケンス番号が7になったらポインタ履歴をポインタ挿入未に更新する。図19に、ポインタ履歴テーブル1407の構成を示す。ポインタ履歴テーブル1407は、チャンネル番号をアドレスとし、データには、各チャンネル番号毎のポインタ挿入が完了したかどうかのフラグを格納する。

【0092】以上が、セル化装置の説明であり、特に、時分割多重されたCBRデータが、非構造化データおよび構造化データの場合の、AAL 1セル組立の実施形態である。

【0093】次に、セル組立て遅延時間の短縮をおこなう実施形態について説明する。

【0094】セル組立て遅延時間の短縮をおこなう方法としては、上述したように、1セル中のペイロードに格

納する有効なデータ長を、任意のバイト数にするパーシャルフィルと、送信先が同じチャンネル信号を同一のセルのペイロードに格納するコンポジットセルがある。

【0095】まず、パーシャルフィルの実施形態について説明する。

【0096】基本的な構成は、図1と同じ構成とし、各チャンネル毎のパーシャルフィルの有効データ長を、ペイロードバイト数格納テーブル107に格納する。このことにより、バッファ書き込み手段102は、上述したバッファ書き込み動作と同様に動作可能となる。

【0097】また、AAL 1セル組立手段103においては、AAL 1セル組立部113を、図20のような構成とする。

【0098】ダミーデータを生成するダミーデータ生成部2001を追加し、出力制御部にパーシャルフィルのバイト数を入力する信号線S2002を追加する。パーシャルフィルの有効データ長は、バッファ読みだし制御部114が、ペイロードバイト数格納テーブル107より読みだしてS111、AAL 1セル組立部113に入力S116する。バッファ読みだし制御部114は、バンク101よりパーシャルフィルのバイト数分のデータを読みだし、AAL 1セル組立部113に入力し、AAL 1セル組立部113は、前記データに続いて、ダミーデータ生成部2001よりダミーデータの送出をおこなう。

【0099】このことにより、AAL 1セルの1セルのペイロード中に有効データを任意のバイト数とし、残りのペイロードにはダミーデータを収容したAAL 1セルの組立てが実現される。

【0100】さらに、AAL 1セルの1セルのペイロード中に有効データ長を少なくすることにより、有効データ長分の固定ビットレートデータをバッファメモリに蓄積する時間が短縮されるため、AAL 1セルを組立てる遅延時間を短縮することが可能となる。

【0101】次に、コンポジットセルの実施形態について説明する。

【0102】基本的な構成は、図1と同じ構成とし、行き先が同じとなる異なるチャンネル番号を同一のチャンネル番号に仮定して、図4のチャンネル番号識別部104のタイムスロット番号/チャンネル番号変換テーブル402の設定をおこなうことにより実現する。

【0103】つまり、行き先が同じとなる異なるチャンネル番号を同一のチャンネル番号に仮定することにより、バッファ書き込み手段102は、異なるチャンネル番号のCBRデータを同一のバンク101に書き込みをおこなう。

【0104】AAL 1セル組立手段103は、通常通りにAAL 1セルの組立てをおこなうことにより、AAL 1セルの1セルのペイロード中に行き先が同じとなる異なるチャンネル番号の固定ビットレートデータが収容されたAAL 1セルの組立てが実現される。

【0105】よって、AAL 1セルの1セルのペイロード中に行き先が同じとなる異なるチャンネル番号の固定ビッ

17

トレートデータを収容することにより、各チャネル毎の固定ビットレートデータをバッファメモリに蓄積する時間が短縮されるため、AAL1セルの組立てる遅延時間を短縮することが可能となる。

【0106】

【発明の効果】本発明によれば、時分割多重された多元速度のCBRデータをAAL1セルに組立てることが可能となり、特に、構造化データ、非構造化データにかかわらず、AAL1セルのペイロード長が可変となった場合にも、AAL1セルに組立てることが可能である。

【0107】また本発明によれば、電話サービス等のセル組立て遅延時間が品質に影響をおよぼす場合においても、AAL1セルの有効データ長を任意にすることによって、品質の劣化を起こさずにAAL1セルの組立てが可能となる。

【0108】さらに本発明によれば、上述したAAL1セルの有効データ長を任意にすることが、各チャネル毎に可変とすることにより、各チャネル毎に柔軟にセル組立て遅延時間を短縮することが可能となる。

【図面の簡単な説明】

【図1】本発明の多重多元セル化装置の構成を示すブロック構成図。

【図2】本発明の多重多元セル化装置のバンクの構成例を示す構成図。

【図3】本発明の多重多元セル化装置のチャネル番号識別部に入力されるCBRデータの例を示すタイミングチャート。

【図4】本発明の多重多元セル化装置のチャネル番号識別部の構成を示すブロック図。

【図5】本発明の多重多元セル化装置のタイムスロット番号/チャネル番号変換テーブルの構成を示すテーブル構成図。

【図6】本発明の多重多元セル化装置の書き込みアドレス管理テーブルの構成を示すテーブル構成図。

【図7】本発明の多重多元セル化装置の空きバンクキューの構成を示す構成図。

【図8】本発明の多重多元セル化装置の次バンク番号管理テーブルの構成を示すテーブル構成図。

【図9】本発明の多重多元セル化装置の書き込みバイト数管理テーブルの構成を示すテーブル構成図。

【図10】本発明の多重多元セル化装置のペイロードバイト数管理テーブルの構成を示すテーブル構成図。

【図11】本発明の多重多元セル化装置のバッファ書き込み手段のバンクへの書き込み動作を示すタイミングチャート図。

【図12】本発明の多重多元セル化装置のヘッダ情報格納テーブルの構成を示すテーブル構成図。

【図13】本発明の多重多元セル化装置の読みだしアドレス管理テーブルの構成を示すテーブル構成図。

【図14】本発明の多重多元セル化装置のAAL1セル組立

18

部の構成を示すブロック構成図。

【図15】本発明の多重多元セル化装置のシーケンスナンバーテーブルの構成を示すテーブル構成図。

【図16】本発明の多重多元セル化装置のダウンカウンタテーブルの構成を示すテーブル構成図。

【図17】本発明の多重多元セル化装置のブロック長管理テーブルの構成を示すテーブル構成図。

【図18】本発明の多重多元セル化装置のAAL1セル組立部の詳細の動作を示すタイミングチャート図。

10 【図19】本発明の多重多元セル化装置のポインタ履歴テーブルの構成を示すテーブル構成図。

【図20】本発明の多重多元セル化装置のAAL1セル組立部の別の構成を示すブロック構成図。

【図21】本発明の多重多元セル化装置のCBRデータとATMセルとの変換の様子を示す図。

【図22】本発明の多重多元セル化装置のAAL1セルのフォーマットを示すフォーマット図。

【図23】本発明の多重多元セル化装置のパーシャルフィルのフォーマットを示すフォーマット図。

20 【図24】本発明の多重多元セル化装置のコンポジットセルのフォーマットを示すフォーマット図。

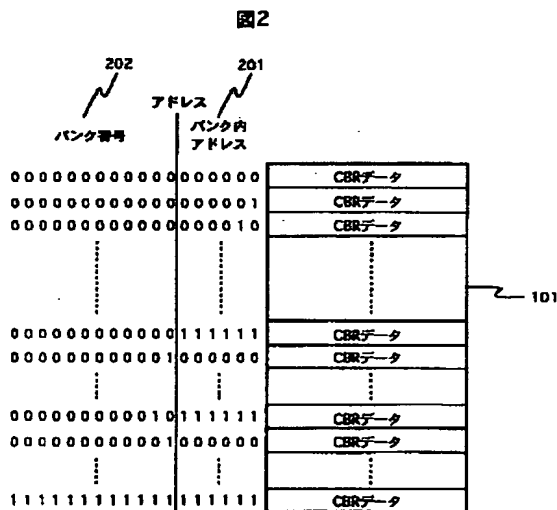
【符号の説明】

101…バンク、102…バッファ書き込み手段、103…AAL1セル組立手段、104…チャネル番号識別部、105…書き込みアドレス管理テーブル、106…書き込みバイト数管理テーブル、107…ペイロードバイト数管理テーブル、108…次バンク番号管理テーブル、109…空きバンクキュー、110…バッファ書き込み制御部、111…セル組立待機キュー、112…読みだしアドレス管理テーブル、113…AAL1セル組立部、114…バッファ読みだし制御部、115…ヘッダ情報格納テーブル、S101…CBRデータ、S102…チャネル番号、S103、S104…書き込みアドレス、S105…読みだしアドレス、S106…ペイロードバイト数、S107…書き込みバイト数、S108…チャネル番号、S109…次バンク番号、S110…空きバンク番号、S111…ペイロードバイト数、S112…チャネル番号、S113…次バンク番号、S114…空きバンク番号、S115…読みだしアドレス、S116…チャネル番号、S117…AAL1セル、S118…ATMヘッダデータ、S119…チャネル番号、201…バンク内アドレス、202…バンク番号、301…クロック、302…フレームパルス、303…CBRデータ、304…タイムスロット、305…チャネル番号、401…タイムスロット番号カウンタ、402…タイムスロット番号/チャネル番号変換テーブル、S401…クロック、S402…フレームパルス、S403…CBRデータ、S404…タイムスロット番号、S405…チャネル番号、501…タイムスロット番号、502…チャネル番号、601…チャネル番号、602…書き込みアドレス、701…未使用バンク番号、801…バンク番号、802…次バンク番号、901…チャネル番号、902…書き込みバイト数、1001…チャネル番

19

号、1002…ペイロードバイト数、1101…タイミング1、1102…タイミング2、1103…タイミング3、1104…タイミング4、1105…タイミング1、1106…システムクロック、1107…クロック、1108…フレームパルス、1109…CBRデータ、1110…タイムスロット番号、1111…チャンネル番号、1112…書き込みアドレス、1113…書き込みバイト数、1114…ペイロードバイト数、1115…チャンネル番号、1116…書き込みバイト数、1117…未使用バンク番号、1118…次バンク番号、1119…書き込みアドレス、1120…CBRデータ、1201…チャンネル番号、1202…ヘッダ情報、1401…ダウンカウンタ、1402…ポインタ生成部、1403…ブロック長管理テーブル、1404…ダウンカウンタテーブル、1405…ダミーポインタ生成部、1406…出力制御部、1407…ポインタ履歴テーブル、1408…シーケンスナンバーテーブル、1409…AAL1ヘッダ生成部、1410…空セル生成部、S1401…AAL1セルデータ、S1402…チャンネルトップ信号、S1403…セルトップ信号、S1404…チャンネル番号、S1405…バンク読みだし指示信号、S1406…ブロック長、S1407…ダウンカウンタ値、S1408…ポインタ生成指示信号、S1409、S1410…チャンネル番号、S1411…ポインタデータ、S1412…ダミーポインタデータ、S1413…セレクト信号、S1414…ダウンカウンタ値、S1415…ポインタ履歴、S1416…

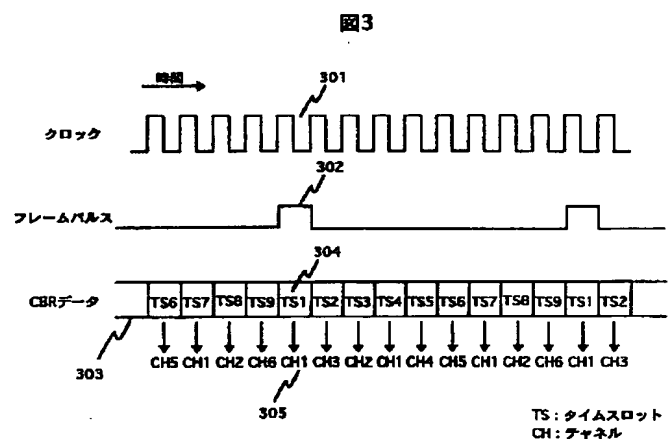
【図2】



20

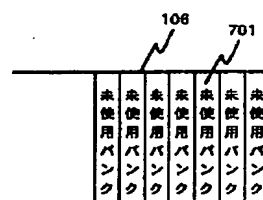
…シーケンスナンバー、S1417…AAL1セルデータ、S1418…空セル生成指示信号、S1419…AAL1ヘッダ生成指示信号、S1420…空セルデータ、S1421…AAL1ヘッダデータ、S1422…セレクト信号、S1423…AAL1セルデータ、1501…チャンネル番号、1502…シーケンス番号、1601…チャンネル番号、1602…ダウンカウンタ値、1701…チャンネル番号、1702…ブロック長、1801…ポインタ、1802…セルトップ信号、1803…カウンタイネーブル信号、1804…チャンネル番号、1805…チャンネルトップ信号、1806…ダウンカウンタ値ロード、1808…ブロック長、1809…ブロック長ロード、1810…53Byte目、1811…ダウンカウンタ値、1812…ダウンカウンタ値ライト、1901…チャンネル番号、1902…ポインタ履歴、2001…ダミーデータ生成部、S2001…ダミーデータ生成指示信号、S2002…ペイロードバイト数、2101…CBRデータ、2102…AAL1セル、2201…ATMヘッダ、2202…AAL1ヘッダ、2203…ペイロード、2204…ポインタ、2205…コンバージョンサブレイヤ表示、2206…シーケンス番号、2207…誤り訂正符号、2208…偶数パリティ、2209…シーケンス番号フィールド、2210…シーケンス番号保護フィールド、2211…オフセット値、2301…有効データ長、2302…ダミーデータ、

【図3】



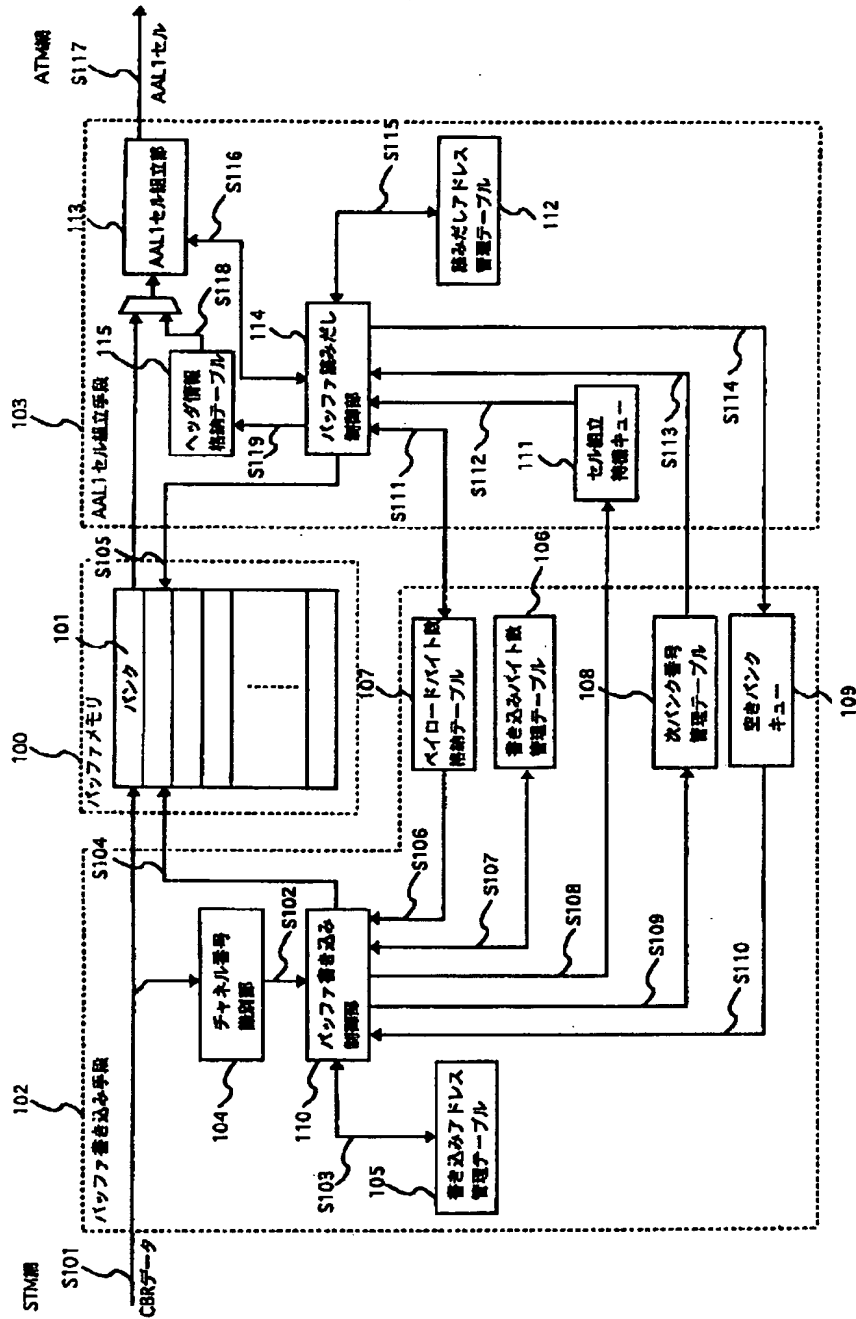
【図7】

図 7



【図1】

図 1



【図4】

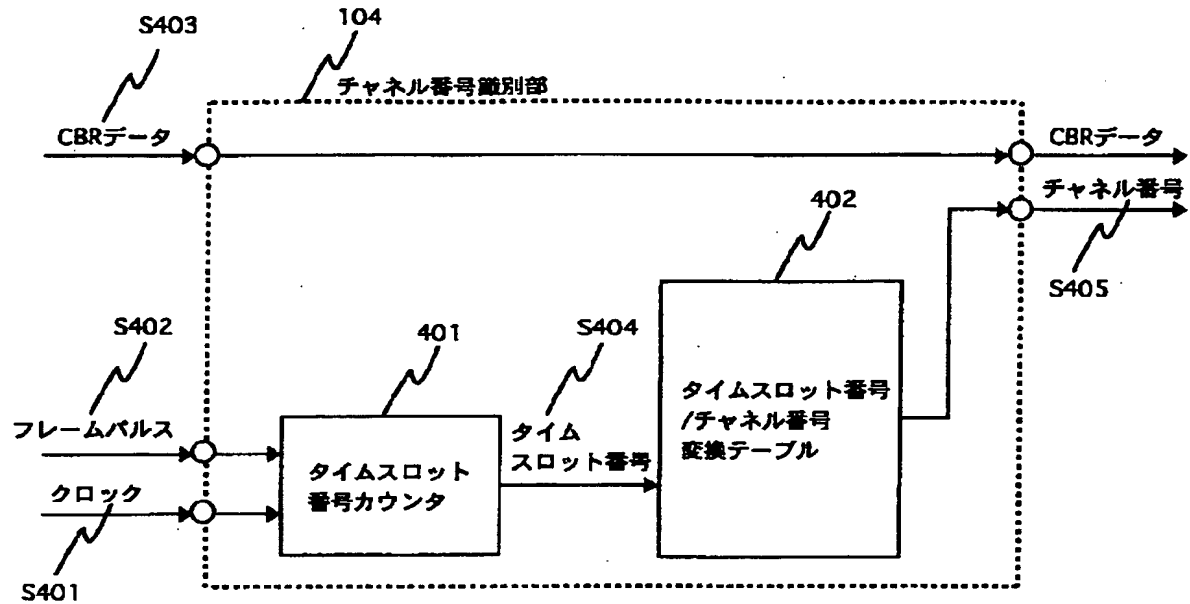


図 4

【図5】

図 5

402 タイムスロット番号/チャンネル番号変換テーブル

アドレス	タイムスロット番号	チャンネル番号
0001	00000000001	
0010	00000000011	
0011	00000000010	
0100	00000000001	
0101	00000000100	
0110	00000000101	
0111	00000000001	
1000	00000000110	
1001	00000000111	

501 タイムスロット番号

502 チャンネル番号

【図6】

図 6

601

アドレス	書き込みアドレス
CH1	書き込みアドレス
CH2	書き込みアドレス
CH3	書き込みアドレス
CH4	書き込みアドレス
CH5	書き込みアドレス
...	...
Chn	書き込みアドレス

602

【図8】

図8

801

アドレス	次バンク番号
バンク1	次バンク番号
バンク2	次バンク番号
バンク3	次バンク番号
バンク4	次バンク番号
バンク5	次バンク番号
...	...
バンクn	次バンク番号

802

【図9】

図 9

901

アドレス	書き込みバイト数
CH1	書き込みバイト数
CH2	書き込みバイト数
CH3	書き込みバイト数
CH4	書き込みバイト数
CH5	書き込みバイト数
...	...
Chn	書き込みバイト数

902

【図10】

図 10

1001

アドレス	ペイロードバイト数
CH1	ペイロードバイト数
CH2	ペイロードバイト数
CH3	ペイロードバイト数
CH4	ペイロードバイト数
CH5	ペイロードバイト数
...	...
Chn	ペイロードバイト数

1002

【図12】

図 12

1201

アドレス	ヘッダ情報
CH1	ヘッダ情報
CH2	ヘッダ情報
CH3	ヘッダ情報
CH4	ヘッダ情報
CH5	ヘッダ情報
...	...
Chn	ヘッダ情報

1202

【図13】

図 13

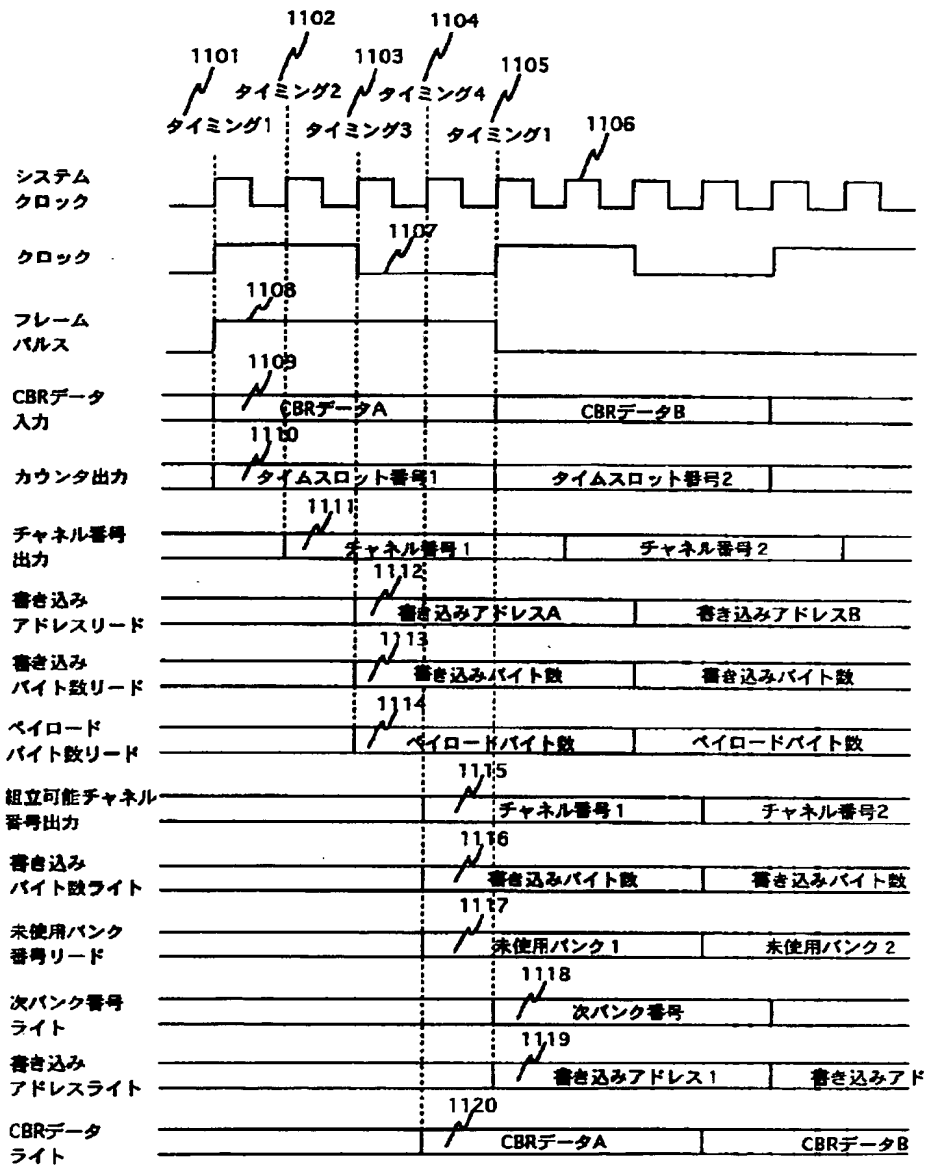
1301

アドレス	読みだしアドレス
CH1	読みだしアドレス
CH2	読みだしアドレス
CH3	読みだしアドレス
CH4	読みだしアドレス
CH5	読みだしアドレス
...	...
Chn	読みだしアドレス

1302

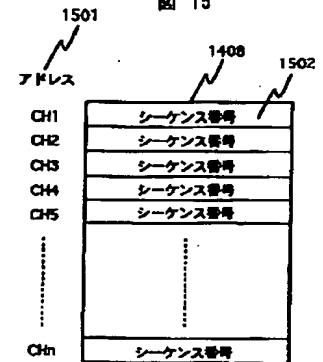
【図11】

図11



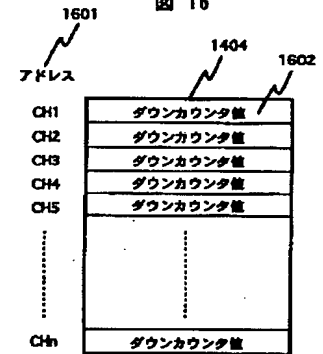
【図15】

図15



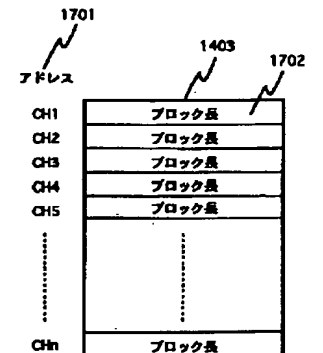
【図16】

図16



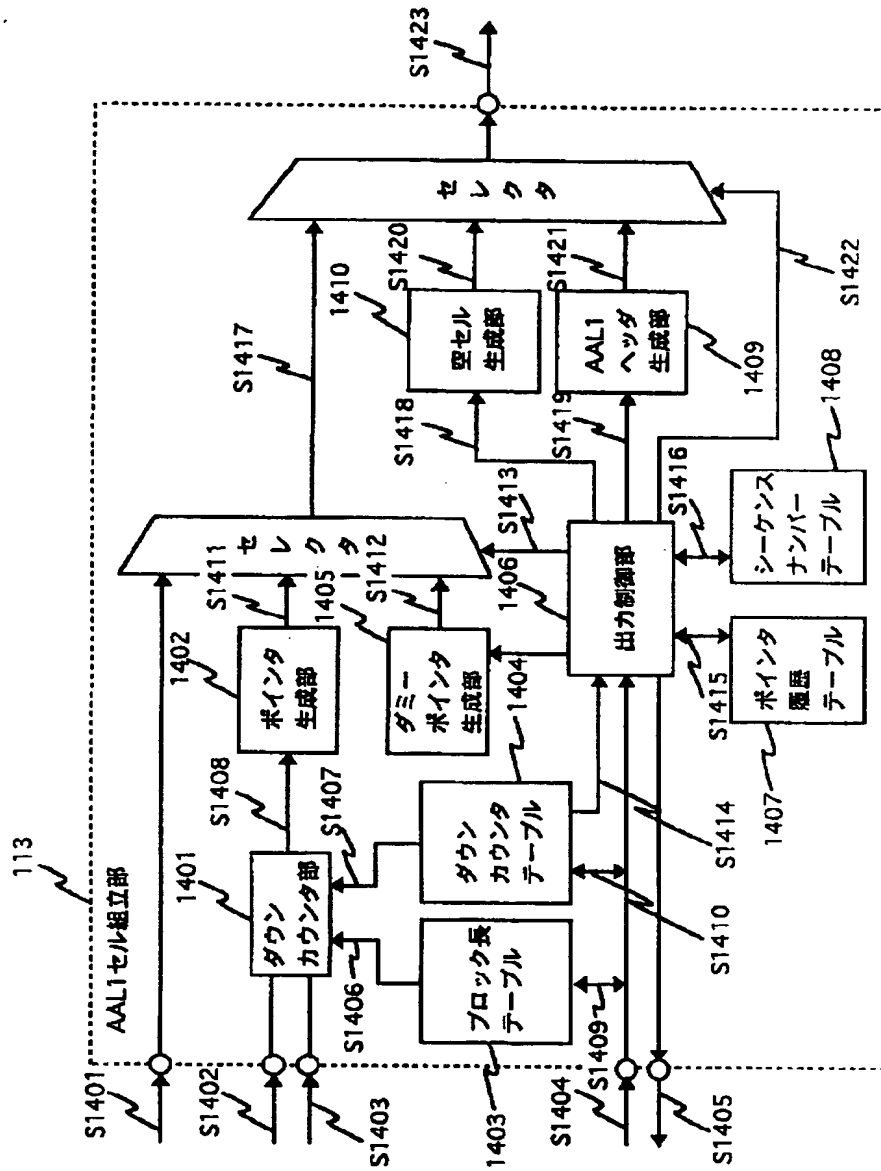
【図17】

図17



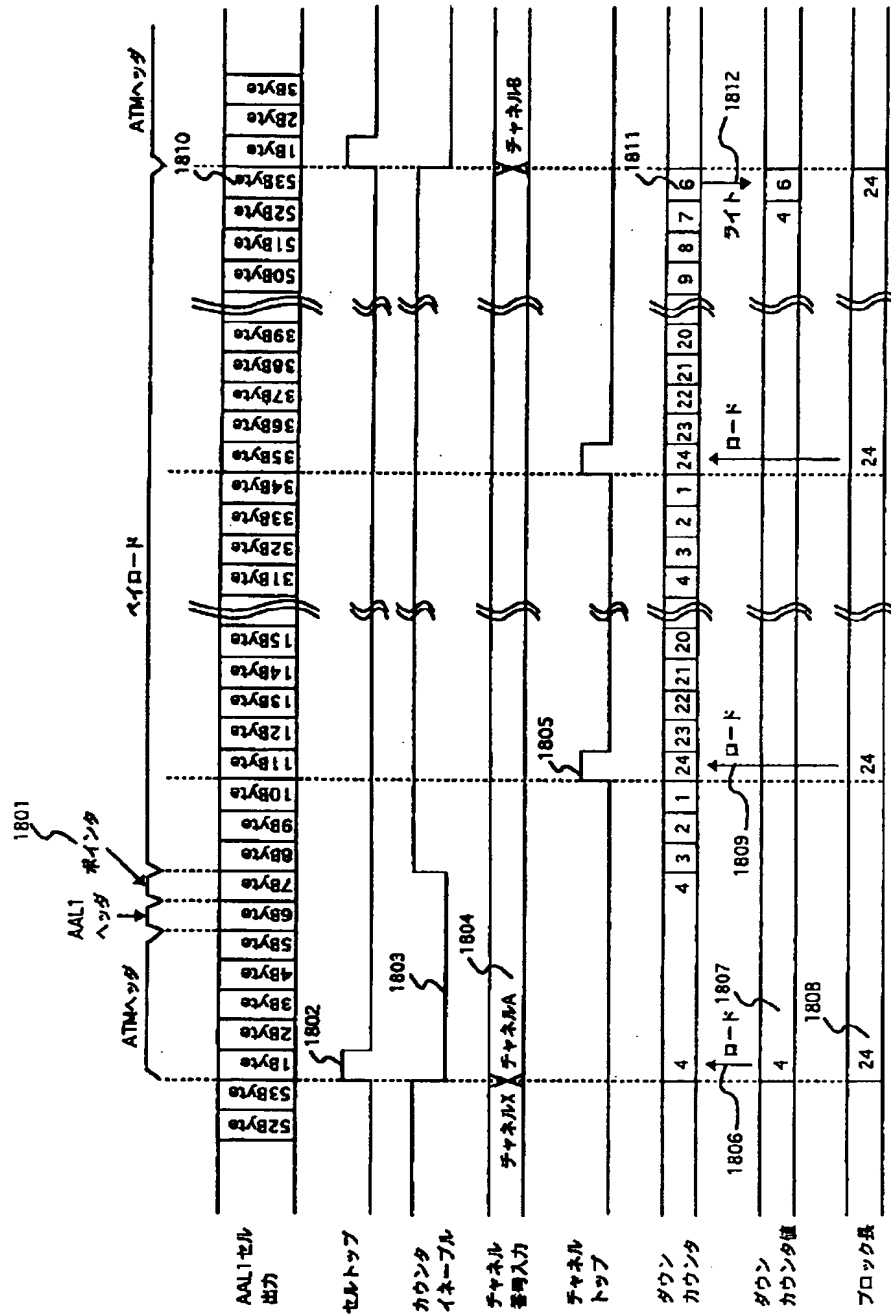
【図14】

図 14

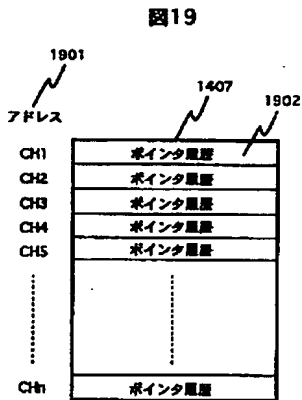


【図18】

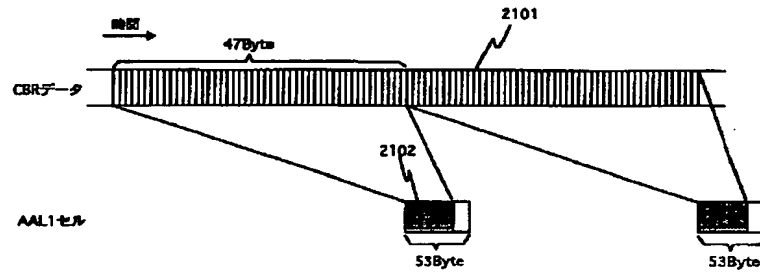
図 18



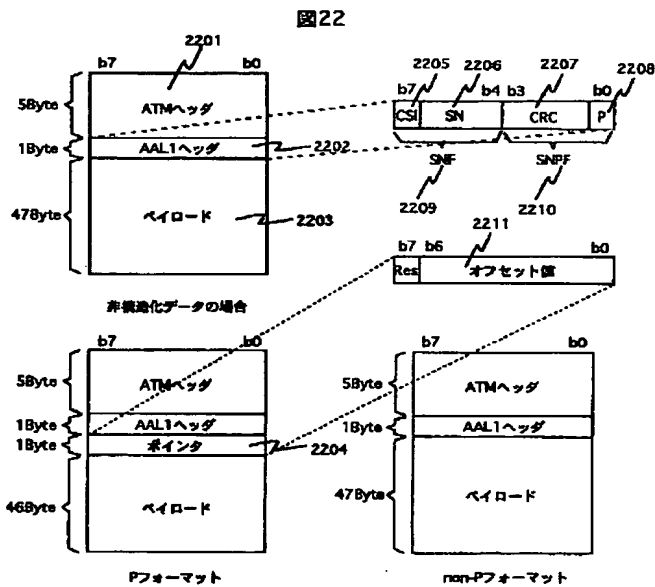
【図19】



【図21】

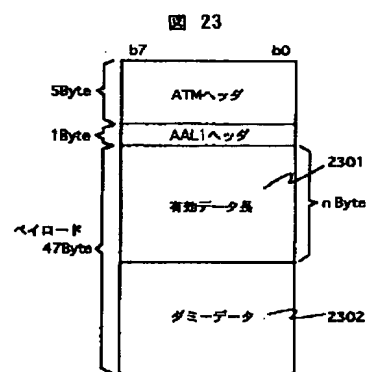


【図22】



最適化データの場合

【図23】



【図24】

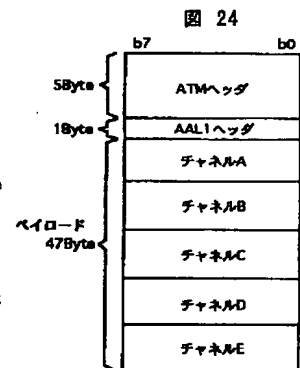
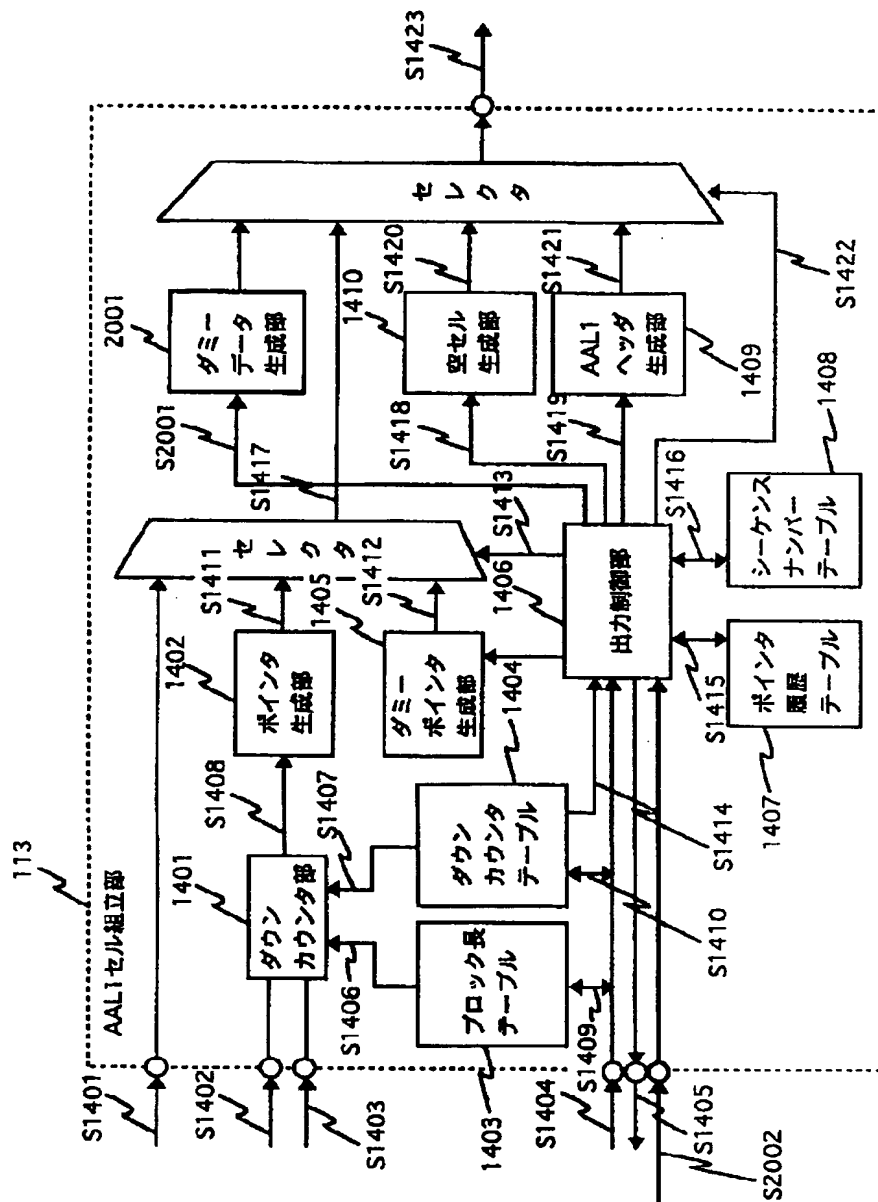


FIG 20



神奈川県横浜市戸塚区戸塚町180番地 日立
通信システム株式会社内